

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-008314

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

H01L 29/786
H01L 21/336

(21)Application number : 07-159686

(71)Applicant : SHARP CORP

(22)Date of filing : 26.06.1995

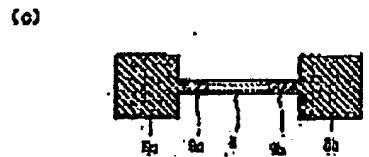
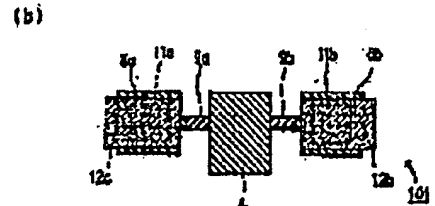
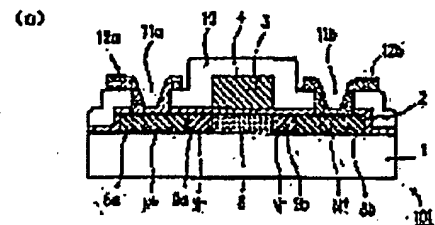
(72)Inventor : FUKUSHIMA YASUMORI
FURUMIYA HIDEO

(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To obtain a thin film transistor in which the OFF current is reduced by eliminating the OFF current flowing along the crystal grain boundary in a channel region and a lightly doped region and the ON/OFF current ratio is enhanced while suppressing the fluctuation by avoiding the increase of OFF current being produced statistically.

CONSTITUTION: In the semiconductor layer 2 constituting a TFT 101 of LDD structure, the region including a channel region 6 and a lightly doped regions 9a, 9b is formed narrower than half the grain size of polysilicon.



LEGAL STATUS

[Date of request for examination]

15.12.1998

[Date of sending the examiner's decision of rejection]

09.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

2001-20050

[Date of requesting appeal against examiner's decision of rejection]

08.11.2001

[Date of extinction of right]

特開平9-8314

(43) 公開日 平成9年(1997)1月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 6 A
21/336				6 1 8 Z

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平7-159696

(22) 出願日 平成7年(1995)6月26日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 福島 康守

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 古宮 秀雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

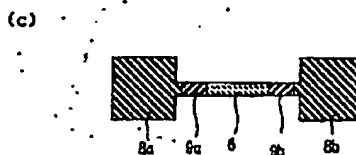
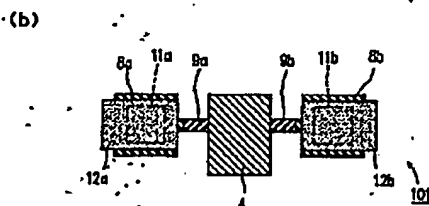
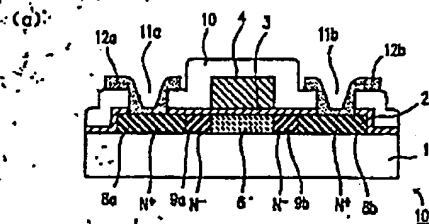
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【目的】 薄膜トランジスタ 101 において、チャネル領域 6 及び低濃度不純物領域 9 及び 9 b での、結晶粒界に沿って流れるオフ電流を排除して、オフ電流値を低減するとともに、確率的に生ずるオフ電流の増大を回避し、オン/オフ電流比の向上及びそのばらつきの抑制を図る。

【構成】 LDD 構造の T F T 101 を構成する半導体層 2 のチャネル領域 6 及び低濃度不純物領域 9、9 b を含む領域の幅を、多結晶シリコンの結晶粒径の 1/2 よりも狭くした。



【特許請求の範囲】

【請求項1】 絶縁性基板上に形成された半導体層と、該絶縁性基板上に該半導体層と絶縁膜を介して対向して位置するよう形成されたゲート電極と、該半導体層のゲート電極と対向する部分に形成されたチャネル領域と、該半導体層内に該チャネル領域の両側に位置するよう形成された高濃度不純物領域とを備え、該半導体層は、そのチャネル領域を、該半導体層を構成する多結晶シリコンの結晶粒界に沿って該両高濃度不純物領域の一方からその他方に至る電流経路が存在しない構造としたものである薄膜トランジスタ。

【請求項2】 絶縁性基板上に形成された半導体層と、該絶縁性基板上に該半導体層と絶縁膜を介して対向して位置するよう形成されたゲート電極と、該半導体層のゲート電極と対向する部分に形成されたチャネル領域と、該半導体層内に該チャネル領域と隣接して位置するよう形成された高濃度不純物領域とを備え、該半導体層のチャネル領域となっている部分は、その動作電流が流れる方向と垂直な方向の寸法が、該半導体層を構成する多結晶シリコンの平均の結晶粒径の1/2よりも狭くなっている薄膜トランジスタ。

【請求項3】 絶縁性基板上に形成された半導体層と、該絶縁性基板上に該半導体層と絶縁膜を介して対向して位置するよう形成されたゲート電極と、該半導体層のゲート電極と対向する部分に形成されたチャネル領域と、該半導体層内に該チャネル領域の両側に位置するよう形成された高濃度不純物領域と、該半導体層内に、該チャネル領域と該両高濃度不純物領域の少なくとも一方との間に位置するよう形成された低濃度不純物領域とを備え、該半導体層は、そのチャネル領域と低濃度不純物領域の両方、あるいはそのチャネル領域と低濃度不純物領域のいずれか一方を、該半導体層を構成する多結晶シリコンの結晶粒界に沿って該両高濃度不純物領域の一方側端からその他方側端に至る電流経路が存在しない構造としたものである薄膜トランジスタ。

【請求項4】 絶縁性基板上に形成された半導体層と、該絶縁性基板上に該半導体層と絶縁膜を介して対向して位置するよう形成されたゲート電極と、該半導体層のゲート電極と対向する部分に形成されたチャネル領域と、該半導体層内に該チャネル領域の両側に位置するよう形成された高濃度不純物領域と、該半導体層内に、該チャネル領域と該両高濃度不純物領域の少なくとも一方との間に位置するよう形成された低濃度不純物領域とを備え、該半導体層における、該チャネル領域と低濃度不純物領

域の両方、あるいは該チャネル領域と低濃度不純物領域のいずれか一方は、その動作電流が流れる方向と垂直な方向の寸法が、該半導体層を構成する多結晶シリコンの平均の結晶粒径の1/2よりも狭くなっている薄膜トランジスタ。

【請求項5】 請求項1又は2記載の薄膜トランジスタにおいて、前記チャネル領域は、並列して複数設けられている薄膜トランジスタ。

【請求項6】 請求項3又は4記載の薄膜トランジスタにおいて、前記チャネル領域と低濃度不純物領域の両方、あるいは前記チャネル領域と低濃度不純物領域のいずれか一方は、並列して複数設けられている薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタに関し、特に液晶表示装置のスイッチング素子に用いられる薄膜トランジスタ（以下、TFTという。）の構造に関する。

【0002】

【従来の技術】一般に、液晶表示装置のスイッチング素子に用いられるTFTに対しては、オン電流が大きく、かつリーク電流（オフ電流）が小さいという特性、即ち、オン/オフ電流比が高いことが要求される。その理由は、例えば液晶表示装置の場合には、短時間に絵素電極へ電荷を充電するために、高いON電流が必要であり、また、充電された電荷を1フレームの間保持するために低いOFF電流が必要なためである。

【0003】更に、表示むらや点欠陥絵素のない、表示品位、表示品質の良好な液晶表示装置を実現するには、各絵素TFTの電気的特性のばらつきを抑えることが必要である。例えば、TFTのオフ電流値が大きな絵素TFTがあると、充電された電荷を1フレームの間保持することができず、液晶に十分な電圧を印加できないため、その絵素で液晶の光透過率が正常なものとは異なることとなり、その結果として輝点等の点欠陥絵素あるいは表示むらを発生し、表示品位、表示品質の劣化をもたらすことになる。

【0004】上述したオン/オフ電流比を高くする方法として、従来、例えば、ポリシリコンTFTの場合、結晶粒径の拡大等により結晶性を改善することによってオン電流の向上とオフ電流の低減する方法が報告されている（例えば文献：IDRC'94 WORKSHOP; AMLCDs 1.7 Lehigh Univ.を参照）。

【0005】

【発明が解決しようとする課題】以上のように、結晶粒径を拡大することによってオン電流の向上及びオフ電流の低減ができ、オン/オフ電流比を大きくできるが、他方で、結晶粒界とチャネル部との位置関係から電気的

性が極端に劣るTFTが確率的に発生するという欠陥が生じてくる。

【0006】即ち、例えばソース領域からドレイン領域までつながるようにチャネル領域を縦断する形で結晶粒界が存在するTFTでは、結晶粒界に沿ってリーク電流が流れやすくなるために、そのTFTのオフ電流値が増加する。

【0007】従って、その絵案TFTに対応する液晶に本来印加されるべき電圧が印加されず、液晶の光透過率が正常なものからずれることとなり、その結果、表示むらや点欠陥絵素を発生させることになる。このように、電気的特性が極端に劣るTFTは、液晶表示装置の表示品位、表示品質を著しく劣化させることから、たとえ1つでもこのようなTFTがあると液晶表示装置にとって致命的な欠陥であると考えられる。

【0008】従来、液晶表示装置に用いられている絵案TFTでは、結晶粒界と無関係にチャネル領域幅を決めていたため、オフ特性が極端に劣るTFTの確率的な発生によりオフ電流のばらつきが大きくなり、従来の液晶表示装置では、表示むらや点欠陥を防止することが困難であった。

【0009】本発明はこのような問題点に鑑みてなされたものであり、オフ電流が低く、しかも、そのばらつきが小さく、確率的に発生するリーク電流の増大を防止することのできる薄膜トランジスタを得ることを目的とする。

【0010】

【課題を解決するための手段】この発明（請求項1）に係る薄膜トランジスタは、絶縁性基板上に形成された半導体層と、該絶縁性基板上に該半導体層と絶縁膜を介して対向して位置するよう形成されたゲート電極と、該半導体層のゲート電極と対向する部分に形成されたチャネル領域と、該半導体層内に該チャネル領域の両側に位置するよう形成された高濃度不純物領域とを備えている。該半導体層は、そのチャネル領域を、該半導体層を構成する多結晶シリコンの結晶粒界に沿って該両高濃度不純物領域の一方からその他方に至る電流経路が存在しない構造としたものである。そのことにより上記目的が達成される。

【0011】この発明（請求項2）に係る薄膜トランジスタは、絶縁性基板上に形成された半導体層と、該絶縁性基板上に該半導体層と絶縁膜を介して対向して位置するよう形成されたゲート電極と、該半導体層のゲート電極と対向する部分に形成されたチャネル領域と、該半導体層内に該チャネル領域と隣接して位置するよう形成された高濃度不純物領域とを備えている。該半導体層のチャネル領域となっている部分は、その動作電流が流れる方向と垂直な方向の寸法が、該半導体層を構成する多結晶シリコンの平均の結晶粒径の $1/2$ よりも狭くなっている。そのことにより上記目的が達成される。

【0012】この発明（請求項3）に係る薄膜トランジスタは、絶縁性基板上に形成された半導体層と、該絶縁性基板上に該半導体層と絶縁膜を介して対向して位置するよう形成されたゲート電極と、該半導体層のゲート電極と対向する部分に形成されたチャネル領域と、該半導体層内に該チャネル領域の両側に位置するよう形成された高濃度不純物領域と、該半導体層内に、該チャネル領域と該両高濃度不純物領域の少なくとも一方との間に位置するよう形成された低濃度不純物領域とを備えている。該半導体層は、そのチャネル領域と低濃度不純物領域の両方、あるいはそのチャネル領域と低濃度不純物領域のいずれか一方を、該半導体層を構成する多結晶シリコンの結晶粒界に沿って該両高濃度不純物領域の一方側端からその他方側端に至る電流経路が存在しない構造としたものである。そのことにより上記目的が達成される。

【0013】この発明（請求項4）に係る薄膜トランジスタは、絶縁性基板上に形成された半導体層と、該絶縁性基板上に該半導体層と絶縁膜を介して対向して位置するよう形成されたゲート電極と、該半導体層のゲート電極と対向する部分に形成されたチャネル領域と、該半導体層内に該チャネル領域の両側に位置するよう形成された高濃度不純物領域と、該半導体層内に、該チャネル領域と該両高濃度不純物領域の少なくとも一方との間に位置するよう形成された低濃度不純物領域とを備えている。該半導体層における、該チャネル領域と低濃度不純物領域の両方、あるいは該チャネル領域と低濃度不純物領域のいずれか一方は、その動作電流が流れる方向と垂直な方向の寸法が、該半導体層を構成する多結晶シリコンの平均の結晶粒径の $1/2$ よりも狭くなっている。そのことにより上記目的が達成される。

【0014】この発明（請求項5）は、請求項1又は2記載の薄膜トランジスタにおいて、前記チャネル領域が、並列して複数設けられているものである。

【0015】この発明（請求項6）は、請求項3又は4記載の薄膜トランジスタにおいて、前記チャネル領域と低濃度不純物領域の両方、あるいは前記チャネル領域と低濃度不純物領域のいずれか一方が、並列して複数設けられているものである。

【0016】

【作用】この発明（請求項1）においては、薄膜トランジスタを構成する半導体層のチャネル領域を、該半導体層を構成する多結晶シリコンの結晶粒界に沿って、該チャネル領域両側の高濃度不純物領域の一方からその他方に至る電流経路が存在しない構造としたから、該チャネル領域ではオフ電流が結晶粒界に沿って流れることはない。このためオフ電流値を低減できるとともに、確率的に起こるオフ電流の増大も完全に除去でき、これによりオン/オフ電流比の向上及びそのばらつきの抑制を図ることができる。

【0017】この発明（請求項2）においては、薄膜トランジスタを構成する半導体層のチャネル領域を、その動作電流が流れる方向と垂直な方向の寸法が、該半導体層を構成する多結晶シリコンの平均の結晶粒径の $1/2$ よりも狭い構造としたので、チャネル領域内をソース領域からドレイン領域までつながった形で結晶粒界が形成されることがない。このため、上記のようにオフ電流値を低減し、確率的に起こるオフ電流の増大も完全に除去して、オン/オフ電流比の向上及びそのばらつきの抑制を図ることができる。

【0018】この発明（請求項3）においては、LDD構造の薄膜トランジスタを構成する半導体層のチャネル領域と低濃度不純物領域の両方、あるいはこれらのいずれか一方を、該半導体層を構成する多結晶シリコンの結晶粒界に沿って該両高濃度不純物領域の一方側端からその他方側端に至る電流経路が存在しない構造としたので、チャネル領域あるいは低濃度不純物領域での、結晶粒界に沿って流れるオフ電流を完全に除去でき、これによってオン/オフ電流比を向上し、しかもオン/オフ電流比のばらつきを抑制することができる。

【0019】この発明（請求項4）においては、LDD構造の薄膜トランジスタを構成する半導体層のチャネル領域と低濃度不純物領域の両方、あるいはこれらのいずれか一方を、その動作電流が流れる方向と垂直な方向の寸法が、該半導体層を構成する多結晶シリコンの平均の結晶粒径の $1/2$ よりも狭い構造としたので、オン/オフ電流比を向上し、しかもオン/オフ電流比のばらつきを抑制することができる。

【0020】すなわち、半導体層の低濃度不純物領域及びチャネル領域を含む領域の幅を結晶粒径の $1/2$ 以下、即ち、 $1\mu\text{m}$ 以下とした場合には、チャネル領域及び低濃度不純物領域での、結晶粒界に沿って流れるオフ電流を完全に除去できる。このため、オフ電流値を低減するとともに、確率的に起こるオフ電流の増大も完全に除去でき、オン/オフ電流比の向上及びそのばらつきの抑制を図ることができる。

【0021】また、半導体層の低濃度不純物領域を含む領域の幅を結晶粒径よりも狭い、即ち、 $1\mu\text{m}$ 以下とした場合には、低濃度不純物領域での、結晶粒界に沿って流れるオフ電流を完全に除去することができ、オフ電流値の低減及びばらつきを飛躍的に向上することが可能となると共に、チャネル領域の幅を狭くしていないため、オン電流が低濃度不純物領域の抵抗値で制限されないバイアス状態、いわゆるサブスレッシュ領域でのオン電流の立ち上がりを急峻にでき、スイッチング動作を高速化できる利点がある。

【0022】また、半導体層のチャネル領域を含む領域の幅を結晶粒径よりも狭い、即ち、 $1\mu\text{m}$ 以下とした場合には、チャネル領域内をソース領域からドレイン領域までつながった形で結晶粒界が形成されることがない

ため、オフ電流の増大を低減する効果が大きい。低濃度不純物領域の幅を狭くしていないので低濃度不純物領域の抵抗値が低く、大きなオン電流を得ることが可能となり、オン/オフ電流比をさらに向上することが可能である。

【0023】この発明（請求項5）においては、請求項1又は2記載の薄膜トランジスタにおいて、前記チャネル領域が、並列して複数設けられているので、個々のチャネル領域の幅を狭くしたことによるオン電流の低減を回避することができる。

【0024】この発明（請求項6）においては、請求項3又は4記載の薄膜トランジスタにおいて、前記チャネル領域と低濃度不純物領域の両方、あるいはこれらの領域のいずれか一方が、並列して複数設けられているので、個々のチャネル領域あるいは低濃度不純物領域の幅を狭くしたことによるオン電流の低減を回避することができる。

【0025】

【実施例】まず、本発明の基本原則について説明する。

【0026】一般に、多結晶シリコン薄膜は単結晶粒の集合で構成されており、その結晶粒径は数ミクロン程度であることが知られている。結晶粒と結晶粒の境界部分には結晶粒界が存在し、この結晶粒界がTFTの電気的特性に悪影響を及ぼす原因となっていると考えられている。

【0027】例えば液晶表示装置に用いられるTFTの場合には、オフ状態でのリーク電流を小さく抑えることが重要である。

【0028】図2に、LDD (lightly doped drain) 構造の多結晶シリコンTFTにおけるオフ電流のチャネル幅依存性を示す。ここで、点線がオフ電流の各ゲート幅でのデータの平均値を示している。

【0029】一般に単結晶シリコンの場合、トランジスタのオフ電流はチャネル幅に対して、線形に変化することが知られている。しかし、図に示すように、多結晶シリコンでは、チャネル幅に対してオフ電流は非線形の関係にあり、特にチャネル幅が $1\mu\text{m}$ を超えるとオフ電流値が極端に大きく、且つ、そのばらつきも増大していることが分かる。なお、この多結晶シリコンTFTの結晶粒径はおおよそ $2\sim 3\mu\text{m}$ である。

【0030】この現象を、チャネルと結晶粒界の位置関係を考慮して、オフ電流を次の2つの要素の和により構成されていると考えて説明することができる（図3、図4参照）。

【0031】構成要素A：結晶粒界を縦断して流れるオフ電流

構成要素B：結晶粒界に沿って流れるオフ電流
チャネル幅が $1\mu\text{m}$ である場合は、チャネル幅が結晶粒径の $1/2$ 以下であるため、ソース領域及びドレイン領域間の距離が結晶粒径以上であれば、ソース領域からド

と、この領域までつながった形で結晶粒界が形成されることはない。従って、オフ電流は構成要素Aのみで構成されると考えられる。構成要素Aは、結晶粒径とチャネル領域の位置関係には特に依存しないと考えられる。以上のことから、この場合は、オフ電流値およびそのばらつきが小さくなっていると考えられる。

【0032】一方、チャネル幅が $1.5\mu\text{m}$ 、 $2\mu\text{m}$ である場合は、ソース領域及びドレイン領域間の距離が結晶粒径以上であっても、チャネル領域と結晶粒界の位置関係によっては、ソース領域からドレイン領域までつながった結晶粒界を持つ絵素TFTが確率的に発生するため、その絵素TFTでは、オフ電流が構成要素Aと構成要素Bの和で構成されることになり、オフ電流が急増することになると考えられる。

【0033】実際の個々の絵素TFTでは、オフ電流全体を構成する構成要素Aと構成要素Bの割合は、それぞれのTFTでのチャネル領域と結晶粒界の位置関係に依存し、構成比率も区々と考えられるが、図2の結果から、チャネル幅 $2\mu\text{m}$ においては、チャネル幅 $1\mu\text{m}$ までの結果から外挿すると、構成要素Aが $0.04\sim 0.1\text{pA}$ であるのに対して、構成要素Bが $0\sim 0.3\text{pA}$ となり、構成要素Bでは、構成要素Aの3倍程度のばらつきを発生すると考えられる。

【0034】従って、構成要素Bの寄与により、1つの液晶表示装置に含まれる各絵素TFT間のオフ電流のばらつきも急増することになると考えられる。

【0035】以上から、チャネル幅が結晶粒径よりも狭く、つまり概ね結晶粒径の $1/2$ 以下であり、かつソース・ドレイン間の距離が結晶粒径に比べて長い(少なくとも結晶粒径と同等以上)の場合には、ソース領域からドレイン領域までつながった形で結晶粒界が形成されることはない。ここで図4は、結晶粒界のつながりとチャネル幅との関係を模式的に示している。

【0036】即ち、この場合には、先に示した構成要素Aのみのオフ電流成分によってオフ電流が構成されることになり、オフ電流を少なくでき、しかもオフ電流が増大したTFTが確率的に発生することを防止できると考えられる。

【0037】他方、チャネル幅が結晶粒径に比べて広い場合、つまり、概ね結晶粒径と同等以上である場合、チャネルの長さ、あるいは低濃度不純物領域の長さに関係なく、ソースからドレイン間までつながる形で結晶粒界が形成されることになる。

【0038】即ち、この場合、先に示した構成要素A、Bの両方の電流成分によってオフ電流が構成されることになり、オフ電流の値およびそのばらつきが大きくなり、オフ電流が大きなTFTが確率的に発生すると考えられる。

【0039】LDD構造のTFTの場合、オフ電流値は主に低濃度不純物領域によるチャネル領域からドレイン

領域付近にわたる領域での向電界極値によって低減されている。低濃度不純物領域でのリーク電流機構、つまりリーク電流が、結晶粒界を横断して流れるオフ電流Aと結晶粒界に沿って流れるオフ電流Bとからなるという機構が、LDDTFTのオフ電流に大きな影響を及ぼすと考えられる。従って、既に上記で述べたことを考慮すると、低濃度不純物領域の幅を結晶粒界よりも狭く、概ね結晶粒径の $1/2$ 以下とし、かつ、低濃度不純物領域の長さを結晶粒径に比べて長く、少なくとも結晶粒径と同等以上とすることにより、オフ電流の低減及びばらつき低減が可能になると考えられる。

【0040】また、この低濃度不純物領域だけでもオフ電流の低減及びばらつき低減は可能であるが、チャネル領域を縦断するように結晶粒界が形成される可能性が残されており、確率的に起こるオフ電流の増大を完全に除去することはできない。従って、低濃度不純物領域及びチャネル領域の両方のゲート幅(電流経路の幅)を結晶粒径の $1/2$ 以下とすると確率的に発生するオフ電流の増大の危険性も完全に除去可能であると考えられる。

【0041】また、チャネル領域の幅のみを結晶粒界よりも小さく、概ね結晶粒径の $1/2$ 以下とした場合でも、チャネル領域を縦断する様に結晶粒界が形成されることがないため、確率的に起こるオフ電流の急増を低減することができると考えられる。

【0042】なお、上記説明では、TFTとしてLDD構造のものを挙げているが、TFTとしては、上記LDD構造のTFTで低濃度不純物領域となっている部分を、不純物を導入しない領域としたオフセット構造のものでよい。

【0043】このオフセット構造のTFTは、不純物を導入しない領域の抵抗値が高くなるので、高耐圧用のTFTとして使用できる。

【0044】一方、オン電流のチャネル幅依存性は図5に示すように、通常予想されるような線形の関係にある。従って、オフ電流とチャネル幅の非線形関係を考慮すれば、チャネル領域の幅を結晶粒径の $1/2$ 以下にすることでオン/オフ比も向上させることができる。

【0045】以下、本発明の実施例について説明する。

【0046】(実施例1) 図1は本発明の第1の実施例による薄膜トランジスタを説明するための図であり、図1(a)は該薄膜トランジスタの断面構造を模式的に示す図、図1(b)はその平面図、図1(c)はチャネル領域及びソース、ドレイン領域の平面形状を示す図である。

【0047】図において、101は本実施例のLDD構造の薄膜トランジスタで、絶縁性基板1上に形成された、ポリシリコンよりなる半導体層2と、該半導体層2上にゲート絶縁膜3を介して形成されたゲート電極4と、該半導体層2のゲート電極4と対向する部分に形成されたチャネル領域6と、該半導体層2内に該チャネル

領域6の両側にソース、ドレイン領域8a、8bとして形成された高濃度不純物領域と、該半導体層2内に、該チャネル領域6と該ソース、ドレイン領域8a、8bとの間に位置するよう形成された低濃度不純物領域9a、9bとを備えている。

【0048】そして、この実施例では、上記半導体層2のチャネル領域6及び低濃度不純物領域9a、9bを含む領域は、その幅、つまりその動作電流が流れる方向と垂直な方向の寸法を多結晶シリコンの結晶粒径の1/2以下としている。なお、チャネル領域6及び低濃度不純物領域9a、9bの長さは、結晶粒径以上となっている。

【0049】ここで、上記半導体層2及び基板1上には、ゲート絶縁膜3及び層間絶縁膜10が順次連続して形成されており、これらの絶縁膜を貫通してソース領域8a、及びドレイン領域8bに達するコンタクトホール11a、11bが形成されている。このコンタクトホール11a、11bには、それぞれ電極12a、12bが形成されており、上記ゲート電極4はチャネル領域6直上のゲート絶縁膜3上に配置されている。

【0050】次に製造方法について説明する。図6及び図7は本実施例の薄膜トランジスタの製造方法を工程順に説明するための模式断面図である。

【0051】まず、絶縁基板上1にポリシリコンからなる半導体層2を形成する(図6(a))。この絶縁基板1には、例えば石英等の絶縁性基板、もしくは、 SiO_2 、 Si_3N_4 等の絶縁膜で覆われたSi基板を用いる。また、半導体層2は、原料ガスとしては、例えば SiH_4 （ジシラン）に N_2 あるいは He を加えたものを用い、450～475℃、25～50Paの条件で減圧CVD法により厚さ1000～1200オングストロームの非晶質シリコンを堆積した後、熱処理して多結晶化させたものである。この熱処理は、600℃、 N_2 雰囲気、の熱処理炉の中で12～24時間アニールすることにより行う。以上の方法により結晶粒径が2～3μmの大粒径多結晶シリコンを得ることができる。

【0052】続いて、通常のフォトリソグラフィの技術を用いて、この多結晶化した半導体層2をチャネル領域及び低濃度不純物領域を含んだ領域の幅が結晶粒径の1/2以下に、即ち、1μm以下となるよう島状にパターンニングする(図6(b))。多結晶シリコンの結晶粒径については以下のような方法により制御することができる。例えば非晶質シリコンの堆積後にシリコンイオン注入を行い、その後アニールを行う方法において、シリコンイオン注入量を制御することにより、結晶粒径を0.16～2.5μmに制御することができる(JAPAN DISPLAY' 92 455-458)。また、多結晶シリコンの原料ガスに SiH_4 を用いた場合には、サブミクロン程度の結晶粒径を得ることができる(SID 90 DIGEST 311-314)。

【0053】なお、非晶質シリコンの形成には、上述し

た減圧CVD法の他、プラズマCVDやスパッタリング法を使用してもよい。また、非晶質シリコンの多結晶化にはレーザーアニール法を用いてもよい。

【0054】次に、基板1及び半導体層2全面に、CVD法によりゲート絶縁膜3を約800オングストロームの厚さに形成する(図6(c))。

【0055】次いで、上記半導体層2上のゲート酸化膜3上に、リンをドーパしたポリシリコンを、約4000オングストロームの厚さに形成し、続いて、このポリシリコン層をパターンニングしてゲート電極4を、該半導体層2の、チャネルとなるべき領域の直上に形成する。そして、該ゲート電極4をマスクとして半導体層2に P^+ イオンを注入することにより、低濃度不純物領域5を形成する。これにより上記半導体層2の、ゲート電極4直下の部分はチャネル領域6となる。なお、このときのイオン注入のドーズ量は $5 \times 10^{13} \text{ cm}^{-2}$ 以下($5 \times 10^{18} \text{ cm}^{-3}$ 以下)とする(図6(d))。なお、オフセット構造のTFTの場合は、このイオン注入が不要となる。

【0056】次に、レジスト膜7をゲート電極4及びその近傍部分を覆うよう形成した後、該レジスト膜7をマスクとして、全面に P^+ イオンを注入して、ソース領域8a、ドレイン領域8bを形成する。このとき、半導体層2の、レジスト膜7下方のチャネル領域6を除く部分には、低濃度不純物領域9a、9bが形成される。なお、このときのイオン注入のドーズ量は $3 \times 10^{15} \text{ cm}^{-2}$ ($4 \times 10^{20} \text{ cm}^{-3}$)とする(図7(a))。

【0057】次いで、レジスト膜7を除去した後、基板全面に層間絶縁膜10を形成し、その後、950℃で30分間の熱処理を施すことにより、不純物を活性化する(図7(b))。

【0058】その後、ソース領域8a、ドレイン領域8bに達するよう層間絶縁膜10、ゲート絶縁膜3を選択的に除去することにより、コンタクトホール11a、11bを形成し、このコンタクトホール11a、11bにアルミニウム等の導電材料を一部充填して電極12a、12bを形成して、薄膜トランジスタ100を完成する(図7(c))。

【0059】このように本実施例では、半導体層2の低濃度不純物領域9a、9b及びチャネル領域6を含む領域の幅を結晶粒径の1/2以下、即ち、1μm以下としているので、チャネル領域及び低濃度不純物領域でのオフ電流の構成要素B、つまり、結晶粒界に沿って流れるオフ電流を完全に除去できる。これによりオフ電流値を低減できるとともに、確率的に起こるオフ電流の増大も完全に除去でき、オン/オフ電流比の向上及びそのばらつきを抑制を図ることができる。

【0060】この結果、例えば、TFTが液晶表示装置に組み込まれた場合には、絵素電極へ電荷を短時間で充電することができ、また、充電された電荷を1フレーム

の四十μmに保持することができると共に、各結晶層下の電氣的特性のばらつきを抑えることによって、表示むらや点欠陥絵素のない表示品位、表示品質の良好な液晶表示装置を得ることができる。

【0061】(実施例2) 図8は本発明の第2の実施例による薄膜トランジスタを説明するための図であり、図8(a)は該薄膜トランジスタを構成する半導体層の形状を示す平面図、図8(b)は完成した薄膜トランジスタを示す平面図である。

【0062】図において、102は本実施例のLDD構造の薄膜トランジスタで、これは、通常のフォトリソグラフィの技術を用いて、多結晶化した半導体層の低濃度不純物領域9a、9bを含む領域の幅を結晶粒界よりも狭く、即ち、1μm以下としたもので、チャネル領域6については、その幅を狭くしていない。つまり、上記第1の実施例の薄膜トランジスタとは、チャネル領域6の幅を狭くしていない点のみ異なっている。

【0063】このような構成の第2の実施例では、半導体層2の低濃度不純物領域9a、9bを含む領域の幅を結晶粒界よりも狭い寸法(1μm)以下としているため、低濃度不純物領域での、結晶粒界に沿って流れるオフ電流を完全に除去することができ、オフ電流値の低減及びばらつきを飛躍的に向上することが可能となる。また、チャネル領域の幅を狭くしていないため、オン電流が低濃度不純物領域の抵抗値で制限されないバイアス状態、いわゆるサブスレッシュ領域でのオン電流の立ち上がりを急峻にでき、スイッチング動作を高速化できる利点がある。

【0064】(実施例3) 図9は本発明の第3の実施例による薄膜トランジスタを説明するための図であり、図9(a)は該薄膜トランジスタを構成する半導体層の形状を示す平面図、図9(b)は完成した薄膜トランジスタを示す平面図である。

【0065】図において、103は本実施例のLDD構造の薄膜トランジスタで、これは、通常のフォトリソグラフィの技術を用いて、多結晶化した半導体層のチャネル領域6を含む領域の幅を結晶粒界よりも狭く、即ち、1μm以下としたもので、低濃度不純物領域9a、9bについては、その幅を狭くしていない。つまり、上記第1の実施例の薄膜トランジスタとは、低濃度不純物領域の幅を狭くしていない点のみ異なっている。

【0066】このような構成の本実施例では、半導体層2のチャネル領域6を含む領域の幅を結晶粒界よりも狭く、即ち、1μm以下としているので、チャネル領域内をソース領域からドレイン領域までつながった形で結晶粒界が形成されることがないため、オフ電流の急増を低減することができる。また低濃度不純物領域9a、9bの幅を狭くしていないので、該低濃度不純物領域の抵抗値が低く、大きなオン電流を得ることが可能となり、オン/オフ電流比をさらに向上することが可能である。

【0067】(実施例4) 図10は本発明の第4の実施例による薄膜トランジスタを説明するための図であり、図10(a)は該薄膜トランジスタの断面構造を模式的に示す図、図10(b)はその平面図、図10(c)はチャネル領域及びソース、ドレイン領域の平面形状を示す図である。

【0068】図において、104は本実施例の薄膜トランジスタで、絶縁性基板1上に形成された、ポリシリコンよりなる半導体層2と、該半導体層2上にゲート絶縁膜3を介して形成されたゲート電極4と、該半導体層2のゲート電極4と対向する部分に形成されたチャネル領域6と、該半導体層2内に該チャネル領域6の両側にソース、ドレイン領域8a、8bとして形成された高濃度不純物領域とを備えている。

【0069】そして、この実施例では、上記半導体層2のチャネル領域6を含む領域は、その幅、つまりその動作電流が流れる方向と垂直な方向の寸法を結晶粒径の1/2以下としている。なお、上記半導体層2の、幅が狭くなっている部分の長さは、結晶粒径以上となっている。

【0070】この実施例の薄膜トランジスタ104は、上記第1の実施例の薄膜トランジスタとは、低濃度不純物領域を有していない点のみ異なっており、このような構成の本実施例の薄膜トランジスタにおいても、上記第1の実施例と同様、オフ電流の低減及びそのばらつきの抑制を図ることができる効果がある。

【0071】(実施例5) 図11は本発明の第5の実施例による薄膜トランジスタを説明するための図であり、図11(a)は該薄膜トランジスタの断面構造を模式的に示す図、図11(b)はその平面図、図11(c)はチャネル領域及びソース、ドレイン領域の平面形状を示す図である。

【0072】図において、105は本実施例のLDD構造の薄膜トランジスタで、絶縁性基板1上に形成された、ポリシリコンよりなる半導体層2と、該半導体層2上にゲート絶縁膜3を介して形成されたゲート電極4と、該半導体層2のゲート電極4と対向する部分に形成された複数のチャネル領域6と、該半導体層2内に該各チャネル領域6の両側にソース、ドレイン領域8a、8bとして形成された高濃度不純物領域と、該半導体層2内に、該各チャネル領域6と該ソース、ドレイン領域8a、8bとの間に位置するよう形成された複数の低濃度不純物領域9a、9bとを備えている。

【0073】本実施例の薄膜トランジスタ105は、ソース、ドレイン領域8a、8b間をつなぐ電流経路を複数有しており、各電流経路は、チャネル領域6とその両側の低濃度不純物領域9a、9bとを含んでおり、その幅、つまりその動作電流が流れる方向と垂直な方向の寸法は、結晶粒径の1/2以下となっている。なお、この実施例では、ソース、ドレイン領域間の電流経路が複数

なるため、ソース、ドレイン領域は、第1実施例のものと比べて幅が広がっており、ソース、ドレイン領域8a、8b上にはそれぞれ2つのコンタクトホールが形成されている。その他の構成は、上記第1の実施例による薄膜トランジスタと同一である。

【0074】このような構成の本実施例では、上記第1の実施例の効果に加えて、チャネル領域及び低濃度不純物領域を含む電流経路を、ソース、ドレイン領域間に複数本並列に設けているため、個々の電流経路の幅を狭くしたことによるオン電流の低減を回避することができる効果がある。

【0075】なお、上記第2、第3、及び第5の実施例では、TFTとしてLDD構造のものを挙げているが、TFTとしては、上記LDD構造のTFTの、低濃度不純物領域となっている部分を、不純物を導入しない領域としたオフセット構造のものでもよい。

【0076】このオフセット構造のTFTは、不純物を導入しない領域の抵抗値が高くなるので、高耐圧用のTFTとして使用できる。

【0077】

【発明の効果】以上のようにこの発明（請求項1）によれば、薄膜トランジスタを構成する半導体層のチャネル領域を、該半導体層を構成する多結晶シリコンの結晶粒界に沿って、該チャネル領域両側の高濃度不純物領域の一方からその他方に至る電流経路が存在しない構造としたので、該チャネル領域ではオフ電流が結晶粒界に沿って流れることはなくなり、オフ電流値の低減及び確率的に生ずるオフ電流の増大の排除によりオン/オフ電流比の向上及びそのばらつきの抑制を図ることができる効果がある。

【0078】この発明（請求項2）によれば、薄膜トランジスタを構成する半導体層のチャネル領域を、その動作電流が流れる方向と垂直な方向の寸法が、該半導体層を構成する多結晶シリコンの平均の結晶粒径の1/2よりも狭い構造としたので、チャネル領域内をソース領域からドレイン領域までつながった形で結晶粒界が形成されることがなくなり、これにより上記のようにオン/オフ電流比の向上及びそのばらつきの抑制を図ることができる効果がある。

【0079】この発明（請求項3）によれば、LDD構造の薄膜トランジスタを構成する半導体層のチャネル領域及び低濃度不純物領域の両方、あるいはこれらのいずれか一方を、該半導体層を構成する多結晶シリコンの結晶粒界に沿って該両高濃度不純物領域の一方側端からその他方側端に至る電流経路が存在しない構造としたので、チャネル領域あるいは低濃度不純物領域での、結晶粒界に沿って流れるオフ電流を完全に除去でき、これによってオン/オフ電流比を向上し、しかもオン/オフ電流比のばらつきを抑制することができる効果がある。

【0080】この発明（請求項4）によれば、LDD構

造の薄膜トランジスタを構成する半導体層のチャネル領域及び低濃度不純物領域の両方、あるいはこれらのいずれか一方を、その動作電流が流れる方向と垂直な方向の寸法が、該半導体層を構成する多結晶シリコンの平均の結晶粒径の1/2よりも狭い構造としたので、上記のようにオン/オフ電流比を向上し、しかもオン/オフ電流比のばらつきを抑制することができる効果がある。

【0081】例えば、半導体層の低濃度不純物領域及びチャネル領域を含んだ領域の幅を結晶粒径よりも狭くすることにより、これらの領域での結晶粒界に沿って流れるオフ電流を完全に除去でき、これによりオン/オフ電流比の向上及びばらつき抑制を図ることができる。

【0082】また、半導体層の低濃度不純物領域を含んだ領域の幅を結晶粒径よりも狭くすることにより、低濃度不純物領域での結晶粒界に沿って流れるオフ電流の排除により、オフ電流値の低減及びばらつきを飛躍的に向上できるとともに、チャネル領域の幅を狭くしていないことから、オン電流が低濃度不純物領域の抵抗値で制限されない領域即ち、いわゆるサブスレッシュ領域でのオン電流の立ち上がりを急峻にでき、スイッチング動作を高速化できる利点がある。

【0083】また、半導体層のチャネル領域を含んだ領域の幅を結晶粒径よりも狭くすることによりチャネル領域を縦断する様に結晶粒界が形成されることがなくなり、その結果、確率的に起こるオフ電流の急増を低減することができる。加えて、低濃度不純物領域の幅を狭くしていないことから、低濃度不純物領域の抵抗値が低く、大きなオン電流を得ることが可能となり、オン/オフ電流比もさらに向上させることが可能である。

【0084】また、この発明（請求項5、6）によれば、上記薄膜トランジスタにおいて、前記チャネル領域あるいは低濃度不純物領域が、並列して複数設けられているので、個々のチャネル領域あるいは低濃度不純物領域の幅を狭くしたことによるオン電流の低減を回避することができる。

【0085】この結果、本発明のTFTを液晶表示装置に組み込んだ場合には、絵素電極へ電荷を短時間で充電することができ、また、充電された電荷を1フレームの間十分に保持することができると共に、各絵素TFTの電気的特性のばらつきを抑えることによって、表示むらや点欠陥絵素のない表示品位、表示品質の良好な液晶表示装置を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による薄膜トランジスタを説明するための図であり、図1(a)は該薄膜トランジスタの断面構造を模式的に示す図、図1(b)はその平面図、図1(c)はチャネル領域及びソース、ドレイン領域の平面形状を示す図である。

【図2】オフ電流のチャネル幅依存性を示す図である。

【図3】オフ電流の発生機構を説明するための図であ

る。

【図4】チャネル幅とリーク電流経路の関係を示す図である。

【図5】オン電流のチャネル幅依存性を示す図である。

【図6】上記第1実施例の薄膜トランジスタの製造方法を工程順に説明するための模式断面図である。

【図7】上記第1実施例の薄膜トランジスタの製造方法を工程順に説明するための模式断面図である。

【図8】本発明の第2の実施例による薄膜トランジスタを説明するための図であり、図8(a)は該薄膜トランジスタのチャネル領域及びソース、ドレイン領域の平面形状を示す図、図8(b)は該薄膜トランジスタの構造を模式的に示す断面図である。

【図9】本発明の第3の実施例による薄膜トランジスタを説明するための図であり、図9(a)は該薄膜トランジスタのチャネル領域及びソース、ドレイン領域の平面形状を示す図、図9(b)は該薄膜トランジスタの構造を模式的に示す断面図である。

【図10】本発明の第4の実施例による薄膜トランジスタを説明するための図であり、図10(a)は該薄膜トランジスタの断面構造を模式的に示す図、図10(b)

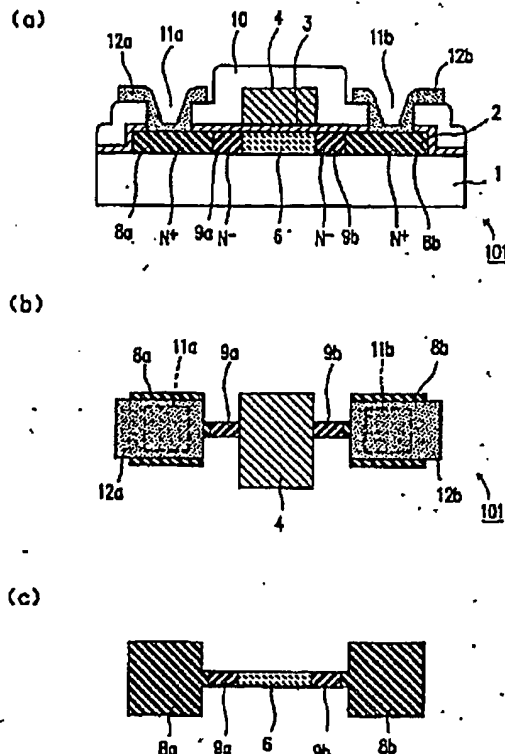
は其の平面図、図10(c)はチャネル領域及びソース、ドレイン領域の平面形状を示す図である。

【図11】本発明の第5の実施例による薄膜トランジスタを説明するための図であり、図11(a)は該薄膜トランジスタの断面構造を模式的に示す図、図11(b)はその平面図、図11(c)はチャネル領域及びソース、ドレイン領域の平面形状を示す図である。

【符号の説明】

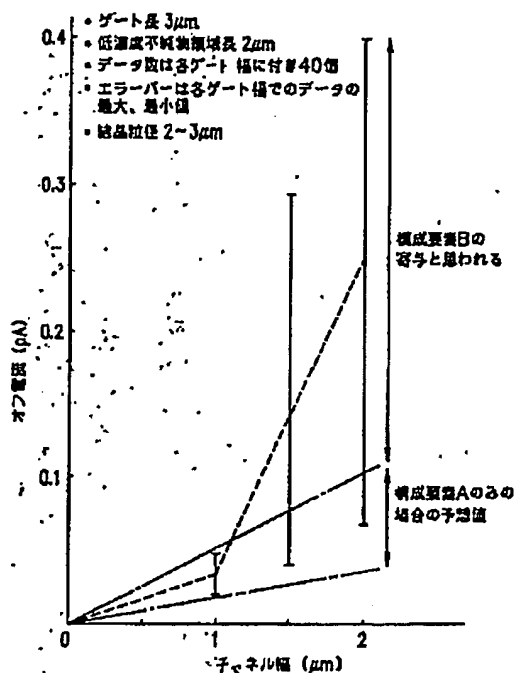
- 1 絶縁性基板
- 2 半導体層
- 3 ゲート絶縁膜
- 4 ゲート電極
- 6 チャネル領域
- 8a, 8b ソース領域
- 8c, 8d ドレイン領域
- 9a, 9b 低濃度不純物領域
- 10 層間絶縁膜
- 11a, 11b コンタクトボール
- 12a, 12b 電極
- 101, 102, 103, 104, 105 薄膜トランジスタ

【図1】

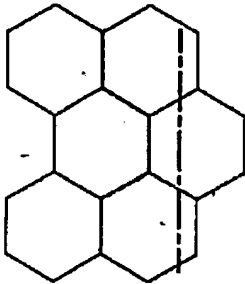


【図2】

オフ電流のチャネル幅依存性 (LDD TFT)

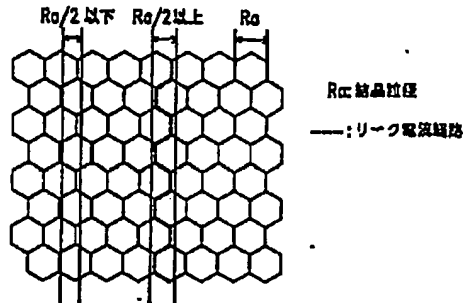


【図3】

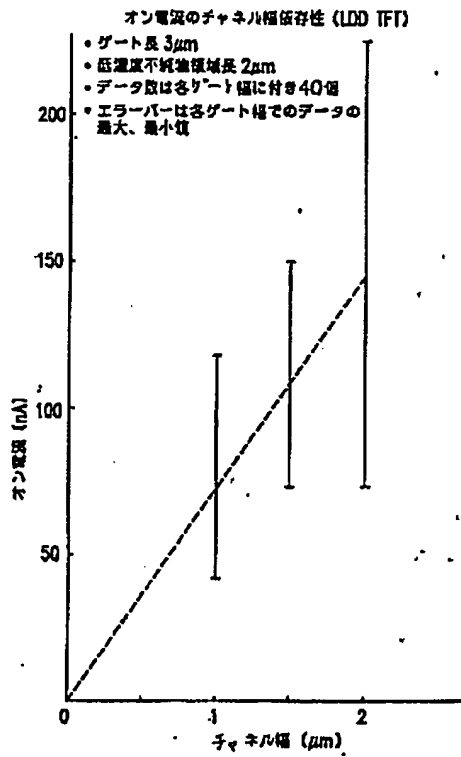


- A: 結晶粒内を横断して流れるオフ電流
 —— B: 結晶粒界に沿って流れるオフ電流

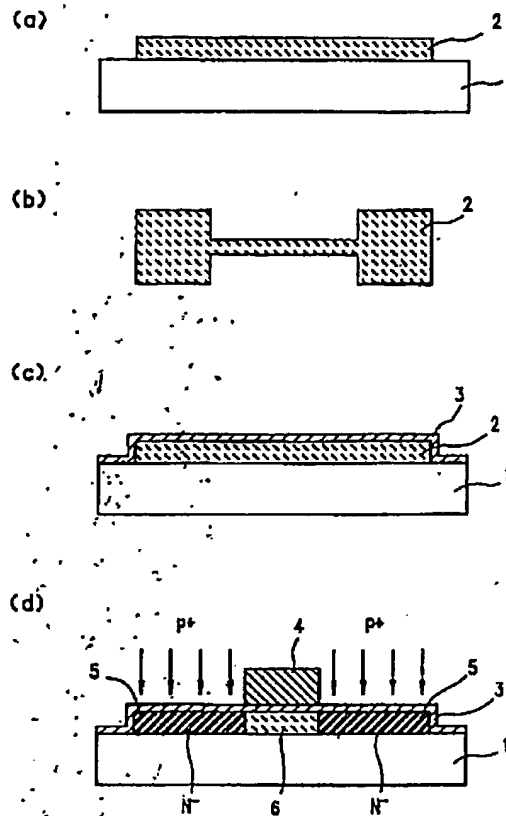
【図4】



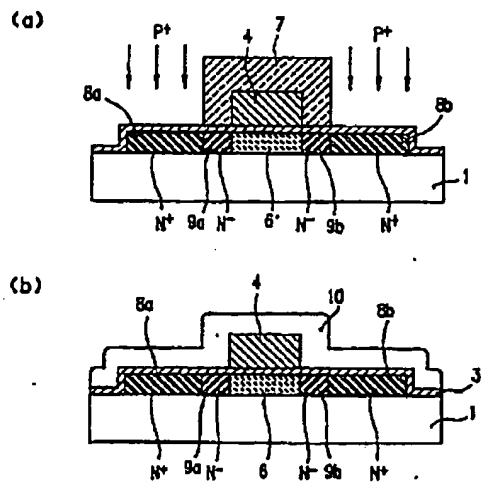
【図5】



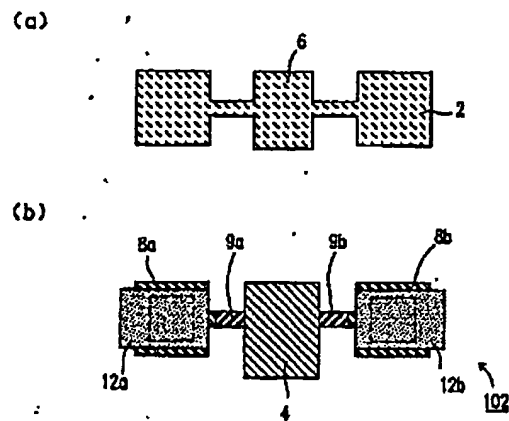
【図6】



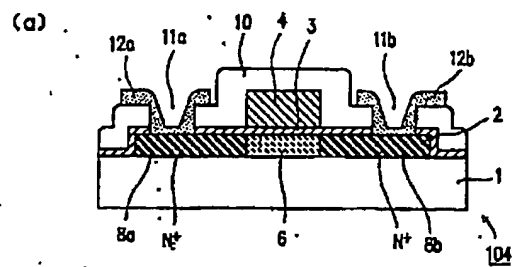
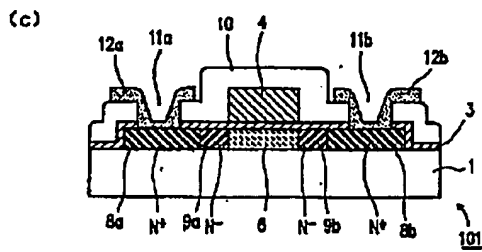
【図7】



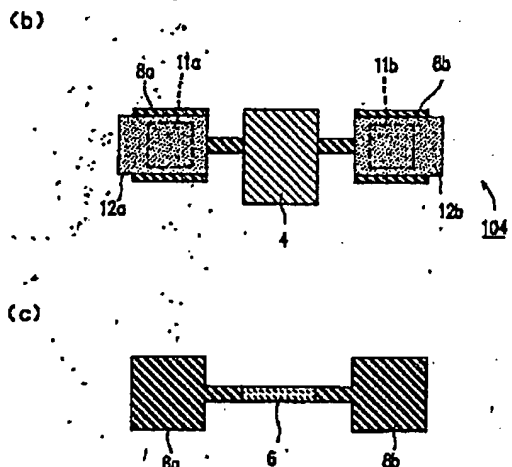
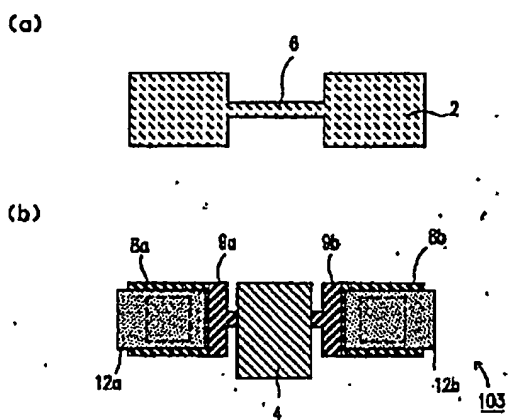
【図8】



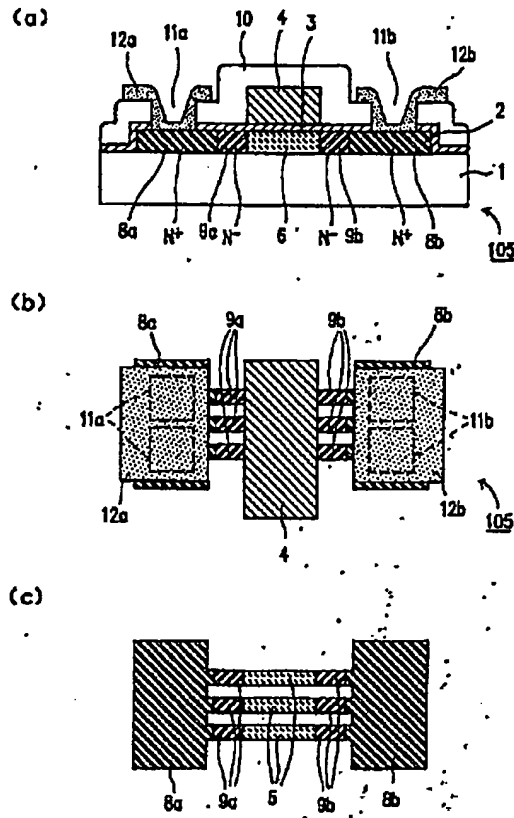
【図10】



【図9】



【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.